

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61070748 A**

(43) Date of publication of application: **11.04.86**

(51) Int. Cl

H01L 27/08
H01L 29/78

(21) Application number: **59191542**

(22) Date of filing: **14.09.84**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **AOKI MASAOKI**
MASUHARA TOSHIKI
HANAMURA SHOJI
SAKAI YOSHIO
ISOMAE SEIICHI
MEGURO SATOSHI
IKEDA SHUJI

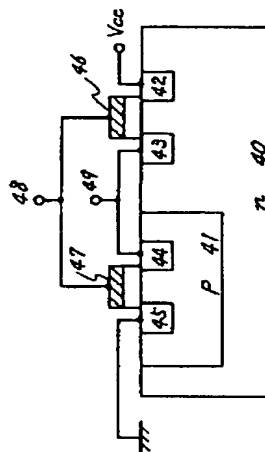
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To form CMOS device structure using a crystal face optimum for operation at high speed of a CMOS device by shaping the CMOS device to a semiconductor crystal face having a (110) face orientation or a (023) face orientation or a face orientation (a face orientation parallel with said face) close to said face orientation.

CONSTITUTION: 40 represents an n type Si substrate having a (110) face orientation or a (023) face is adopted as the crystal face orientation of the substrate, the delay of a CMOS inverter at room temperature is made shorter than a conventional value by approximately 30%. Since the difference of mobility by a face at a low temperature such as 100K or lower is more amplified, said delay can further be shortened largely.

COPYRIGHT: (C)1986,JPO&Japio



THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-70748

⑪ Int.Cl.

H 01 L 27/08
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
8422-5F

⑬ 公開 昭和61年(1986)4月11日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭59-191542

⑯ 出 願 昭59(1984)9月14日

⑰ 発 明 者 青 木 正 明 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 増 原 利 明 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 花 村 昭 次 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 発 明 者 酒 井 芳 男 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 高橋 明夫 外1名
最終頁に続く

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. ほぼ平坦な面を有する半導体基体と、前記基体の第1導電型領域中に形成された第2導電型のソース、ドレイン領域と、前記面上に形成された絶縁ゲートからなる第2導電型のMOSトランジスタを含み、前記基体の第2導電型領域中に形成された第1導電型のソース、ドレイン領域と、前記面上に形成された絶縁ゲートからなる第1導電型MOSトランジスタを含み、前記ほぼ平坦な面は(110)面または(023)面あるいはその近傍の面に平行な結晶面であることを特徴とする半導体装置。

2. 100K以下の温度範囲で動作させることを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

(発明の利用分野)

本発明はCMOSデバイスに関し、従来に比べ

て高速で動作できる半導体装置に関する。

(発明の背景)

特許公報 昭42-21976

シリコン結晶面に作成したnチャネルMOSトランジスタのキャリア移動度は、大野らの発明による特許(特公昭42-21976)のみに示されているように、(100)面表面にデバイスを作成した場合にほぼ最大となる。このため、従来、MOS集積回路は(100)面あるいはその近傍の面に作成されてきた。しかるにpチャネルMOSトランジスタのキャリア移動度実測値は、第1図に示すように、(100)面表面にデバイスを作成した場合にほぼ最小となることが明らかである。nチャネルトランジスタとpチャネルトランジスタを同一基板上に集積化したCMOSデバイスの動作速度は、n、p両タイプのトランジスタのキャリア移動度値に等しく依存している。従って、pMOSのキャリア移動度がほぼ最小になってしまう(100)面は、CMOSデバイス用の最適面方位ではないことが明らかである。

特開昭61-70748(2)

〔発明の目的〕

本発明の目的は、CMOSデバイス的高速動作にとって最適な結晶面を用いた、CMOSデバイス構造を提供することである。

〔発明の概要〕

第2図に示すようなCMOSインバータの遅延時間について、その面方位依存性を室温において実験した結果を第3図に示す。ここで、 n 、 p 両MOSは同一サイズ（同一のゲート長とゲート幅）で形成している。また、 n 、 p 両MOSのチャネルは同一方向に形成しており、これを面内で $\langle 100 \rangle$ 方向に、平行に形成した結果には $\nearrow \langle 100 \rangle$ と付記し、 $\langle 100 \rangle$ 方向に垂直に形成した結果には $\perp \langle 100 \rangle$ と付記した。 $\langle 01\bar{1} \rangle$ 方向に関して同様である。第3図に示した、インバータ遅延の面方位依存性の結果より、同遅延は (110) 面と (023) 面あるいはその近傍で最小になることが明らかである。

本発明は、CMOSデバイス的高速化を図るために、 (110) 面方位または (023) 面方位、

あるいはその近傍の面方位（実質的に前記面に平行な面方位）の半導体結晶面にCMOSデバイスを作成することを特徴としている。

また、低温では第1図に示したようなキャリア移動度の面方位依存性がより顕著となり、面による移動度の差がより増幅される。従って、上記したような結晶面の採用は、CMOSデバイスを低温下（例えば100K以下）で動作させる場合に より大きな効果を発揮して、デバイス的高速化に役立つ。

〔発明の実施例〕

以下、本発明の実施例を第4図により説明する。第4図において40は (110) 面方位または (023) 面方位の n 型Si基板で、41は p 型ウェルである。以下、通常のCMOSプロセスに従って、 p チャネルMOSFETは基板40の表面領域に42、43なる p 型高濃度不純物領域をそれぞれソース、ドレインとして、46をゲートとして形成される。 n チャネルMOSFETは p ウェル41の表面領域に44、45なる n 型濃度

不純物領域をそれぞれドレイン、ソースとして、47をゲートとして形成される。46と47を接続して入力端子48とし、43と44を接続して出力端子49とし、42を電源端子、45を接地端子とすれば、本発明のCMOSインバータ回路を構成できる。

本実施例では、基板の結晶面方位として

(110) 面または (023) 面を採用したため、室温におけるCMOSインバータ遅延は従来値の約7割まで短縮する。低温、例えば100K以下では面による移動度の差がより増幅されるので、同遅延をさらに、大幅に短くすることができる。

上記実施例では n 基板を用いたCMOSデバイスの実施例を述べたが、本発明は基板に (110) 面方位または (023) 面方位の p 型Si基板を用いてCMOSデバイスを作成する場合にも実現可能であることは勿論である。

図面の簡単な説明

第1図は p MOSTランジスタのキャリア移動度の面方位依存性を示す図、第2図はCMOSイ

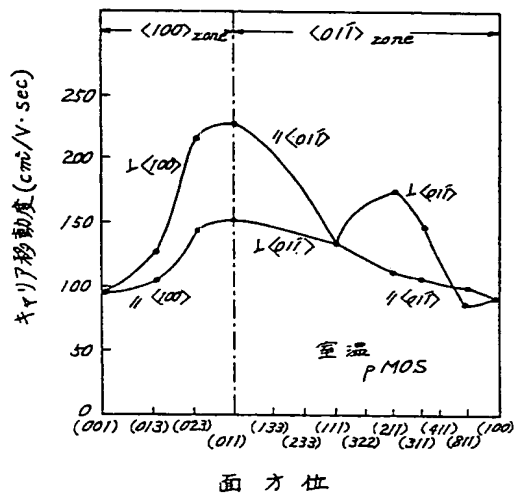
ンバータの回路図、第3図はCMOSインバータ遅延の面方位依存性を示す図、第4図は本発明のCMOSデバイス構造の実施例を示す図である。
40 …… n 基板、41 …… p ウェル、
42、43、46 …… p MOSのソース、ドレイン、ゲート、44、45、47 …… n MOSのドレイン、ソース、ゲート。

代理人 弁理士 高橋 明

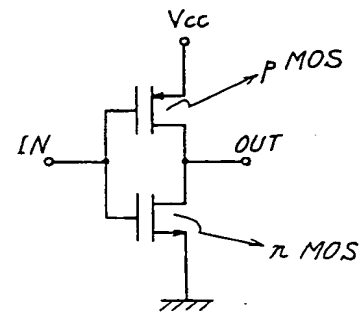


特開昭61-70748(3)

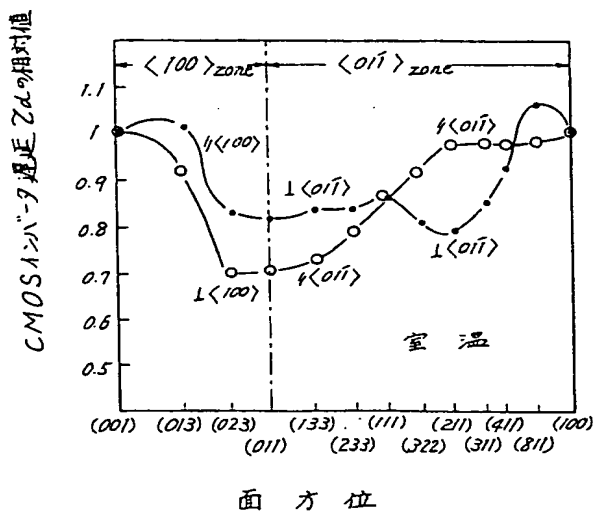
第 1 図



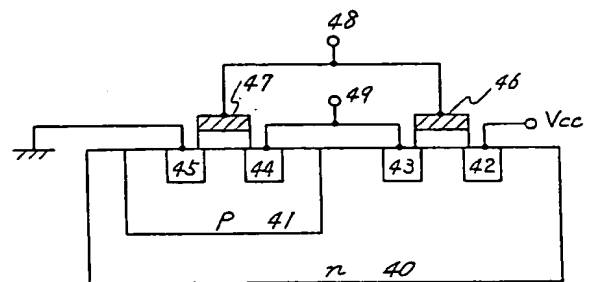
第 2 図



第 3 図



第 4 図



特開昭61-70748(4)

第1頁の続き

⑫発明者	磯前	誠一	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑫発明者	黒目	怜	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑫発明者	池田	修二	小平市上水本町1450番地 株式会社日立製作所武蔵工場内